

- 1 -

Docket: 0819-0255

Gp 2811
#2/Priority
10/2/99
Vg

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT application of)
HIROSHIGE HIRANO et al)
Serial No. 09/333,049) Group Art Unit: 2811
Filed: 06/15/1999) Examiner: Unassigned
For: FERROELECTRIC MEMORY)
DEVICE)
)

TRANSMITTAL OF PRIORITY DOCUMENT AND CLAIM OF FOREIGN
FILING DATE PURSUANT TO 35 U.S.C. § 119

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

At the time of filing the above-references application, benefit of foreign priority under 35 U.S.C. § 119 was claimed. Submitted herewith is a certified copy of priority document number 10-167857 to perfect the claim of priority. Acknowledgment is respectfully requested.

Respectfully submitted,

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as First Class Mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on 8-27-99

Rose M. J. [Signature]

[Signature]
Eric J. Robinson
Reg. No. 38,285

Sixbey, Friedman, Leedom & Ferguson, P.C.
8180 Greensboro Drive, Suite 800
McLean, Virginia 22102
(703) 790-9110

TC 2800 MAIL ROOM

SEP - 3 1999



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1998年 6月16日

出 願 番 号
Application Number:

平成10年特許願第167857号

出 願 人
Applicant (s):

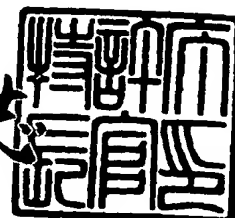
松下電子工業株式会社

RECEIVED
SEP -3 1999
TC 2800 MAIL ROOM

1999年 7月 1日

特許庁長官
Commissioner,
Patent Office

伴佐山 建志



出証番号 出証特平11-3046546

【書類名】 特許願

【整理番号】 2926400041

【提出日】 平成10年 6月16日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 強誘電体メモリ装置

【請求項の数】 9

【発明者】

【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

【氏名】 平野 博茂

【発明者】

【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

【氏名】 本多 利行

【特許出願人】

【識別番号】 000005843

【氏名又は名称】 松下電子工業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100107445

【弁理士】

【氏名又は名称】 小根田 一郎

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9601027

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体メモリ装置

【特許請求の範囲】

【請求項1】 上部電極、下部電極及び上記上部電極一下部電極間に介在する強誘電体膜により構成される強誘電体キャパシタと、

第1の不純物拡散層、第2の不純物拡散層及びゲートを有し、上記強誘電体キャパシタの上記上部電極への電圧の供給を制御するためのメモリセルトランジスタと、

上記メモリセルトランジスタ及び強誘電体キャパシタの上方に形成された層間絶縁膜と、

上記層間絶縁膜の上に形成された第1の配線層とを備え、

上記第1の配線層と上記強誘電体キャパシタの上部電極とは平面的に見て互いにオーバーラップしているとともに、上記上部電極のうち少なくとも1つの辺の上には上記第1の配線層が存在していないことを特徴とする強誘電体メモリ装置。

【請求項2】 請求項1記載の強誘電体メモリ装置において、

上記第1の配線層は、上記強誘電体キャパシタの上部電極及び上記メモリセルトランジスタの第1の不純物拡散層につながるストレージ配線と、上記メモリセルトランジスタの第2の不純物拡散層につながるビット線とを含み、

上記ストレージ配線が平面的に見て上記強誘電体キャパシタの1辺のみと交差していることを特徴とする強誘電体メモリ装置。

【請求項3】 請求項1記載の強誘電体メモリ装置において、

上記第1の配線層は、上記強誘電体キャパシタの上部電極及び上記メモリセルトランジスタの第1の不純物拡散層につながるストレージ配線と、上記メモリセルトランジスタの第2の不純物拡散層につながるビット線とを含み、

上記ビット線は平面的に見て上記強誘電体キャパシタとオーバーラップしていないことを特徴とする強誘電体メモリ装置。

【請求項4】 請求項1記載の強誘電体メモリ装置において、

上記第1の配線層は、上記強誘電体キャパシタの上部電極及び上記メモリセル

トランジスタの第1の不純物拡散層につながるストレージ配線と、上記メモリセルトランジスタの第2の不純物拡散層につながるビット線とを含み、

平面的に見たときに、上記ストレージ配線が上記強誘電体キャパシタの1辺のみと交差しているとともに、上記ビット線が上記強誘電体キャパシタとオーバーラップしていないことを特徴とする強誘電体メモリ装置。

【請求項5】 請求項2～4のうちいずれか1つに記載の強誘電体メモリ装置において、

上記ストレージ配線の上記上部電極の上方に位置する部分のうち上記上部電極の1つの辺との交差している部分は、他の部分よりも狭い幅を有するように設けられていることを特徴とする強誘電体メモリ装置。

【請求項6】 請求項1～5のうちいずれか1つに記載の強誘電体メモリ装置において、

上記第1の配線層は、アルミニウム及び銅のうち少なくともいずれか1つを含む配線材料により構成されていることを特徴とする強誘電体メモリ装置。

【請求項7】 請求項1～6のうちいずれか1つの強誘電体メモリ装置において、

上記第1の配線層の上に設けられた上層の層間絶縁膜と、

上記上層の層間絶縁膜の上に設けられた第2の配線層とをさらに備え、

上記第2の配線層は、上記強誘電体キャパシタの上部電極の上方をすべて覆っていることを特徴とする強誘電体メモリ装置。

【請求項8】 請求項1～6のうちいずれか1つの強誘電体メモリ装置において、

上記第1の配線層の上に設けられた上層の層間絶縁膜と、

上記上層の層間絶縁膜の上に設けられた第2の配線層とをさらに備え、

上記第2の配線層は、上記強誘電体キャパシタの下部電極の上方をすべて覆っていることを特徴とする強誘電体メモリ装置。

【請求項9】 請求項8記載の強誘電体メモリ装置において、

上記第2の配線層は、アルミニウム及び銅のうち少なくともいずれか1つを含む配線材料により構成されていることを特徴とする強誘電体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体メモリ装置に係り、特に信頼性の向上対策に関するものである。

【0002】

【従来の技術】

近年、携帯端末機器やICカード等が普及し、電子機器に搭載される半導体装置としての不揮発性メモリ装置においても低電圧、低消費電力および高速動作の要望が高まっている。そして、低電圧、低消費電力、高速動作を実現できる不揮発性メモリ装置としては、強誘電体メモリ装置が注目されている。この強誘電体メモリ装置は、強誘電体膜を2つの電極で挟んだキャパシタを有するものであって、キャパシタ内の強誘電体膜の分極方向の正負の相違によって不揮発性データを記憶するものである。したがって、データの書換には強誘電体膜の分極方向を反転させるための電界をかけるだけでよいため、低電圧、低消費電力、高速動作を容易に実現できる利点がある。

【0003】

図4は、従来の強誘電体メモリ装置のメモリセルアレイをビット線が形成されている層から下方に向かって見た状態を示す平面図である。図5は、図4のV-V線断面における縦断面図である。

【0004】

図5に示すように、Si基板51上には、LOCOS膜52によって囲まれる活性領域ODが設けられている。この活性領域OD内に、ソース領域、ドレイン領域となる不純物拡散層53と、ポリシリコン膜からなるゲート54とが形成されている。また、Si基板51の上には、第1の層間絶縁膜55が形成されており、この第1の層間絶縁膜55の上でLOCOS膜52の上方に相当する領域には、プラチナやイリジウム系金属からなる下部電極56と、強誘電体材料からなる強誘電体膜57と、プラチナやイリジウム系金属からなる上部電極58とにより構成されるメモリセルキャパシタが設けられている。また、第1の層間絶縁膜

55の上には第2の層間絶縁膜59が形成されていて、この第2の層間絶縁膜59の上に、銅を含むアルミニウムからなるストレージ配線60が形成されている。

【0005】

図4において、上記ゲート54はワード線WL0～WL3としてメモリセルアレイの行方向に伸びており、上記下部電極56はセルプレート線としてメモリセルアレイの行方向に伸びている。また、メモリセルアレイの列方向に伸びるビット線群BL0、/BL0、BL1、/BL1、DBL、/DBLが設けられているが、このうち1つのビット線DBLは図5において破線で示されている。図5に示される上部電極58はDRAMでいうところのデータストレージノードに相当するものであり、図4においてはTEで示されている。さらに、上記ストレージ配線60と上部電極58との間はコンタクトCEにより接続されている。また、ストレージ配線60とメモリセルトランジスタの不純物拡散層53との間はコンタクトCW1により、ビット線群BL0、/BL0、BL1、/BL1、DBL、/DBLと不純物拡散層53との間はコンタクトCW2により、それぞれ接続されている。上記ストレージ配線60とビット線群BL0、/BL0、BL1、/BL1、DBL、/DBLとにより第1の配線層が構成されている。

【0006】

以上により、不純物拡散層53を介して供給されるビット線の電圧とセルプレート線の電圧との高低関係の相違に応じて、強誘電体膜57内の分極状態を正負いずれかに保持することで、“1”、“0”のデータを保持することができるように構成されている。

【0007】

【発明が解決しようとする課題】

ところで、上記従来の強誘電体メモリ装置において、強誘電体キャパシタの初期不良やリテンション等の特性の劣化により、信頼性が低下するという現象が見られた。そこで、その解決策を試みた結果、理由は明らかではないが、ストレージ配線60が強誘電体キャパシタの上部電極58の上方を広く覆っているためではないかということを示唆する実験結果が得られた。

【0008】

本発明は斯かる点に鑑みてなされたものであり、その目的は、平面的に見たときの上部電極とストレージ配線とのオーバーラップ状態を調整することにより、強誘電体キャパシタの特性の劣化のない信頼性の高い強誘電体メモリ装置の提供を図ることにある。

【0009】

【課題を解決するための手段】

上記目的を達成するために本発明が講じた手段は、平面的に見たときの第1の配線層がメモリセルの上部電極の少なくとも1つの辺の上に存在していない構造とすることになる。

【0010】

本発明の強誘電体メモリ装置は、上部電極、下部電極及び上記上部電極一下部電極間に介在する強誘電体膜により構成される強誘電体キャパシタと、第1の不純物拡散層、第2の不純物拡散層及びゲートを有し、上記強誘電体キャパシタの上部電極への電圧の供給を制御するためのメモリセルトランジスタと、上記メモリセルトランジスタ及び強誘電体キャパシタの上方に形成された層間絶縁膜と、上記層間絶縁膜の上に形成された第1の配線層とを備え、上記第1の配線層と上記強誘電体キャパシタの上部電極とは平面的に見て互いにオーバーラップしているとともに、上記上部電極のうち少なくとも1つの辺の上には上記第1の配線層が存在していない。

【0011】

これにより、強誘電体キャパシタに対して第1の配線層が与えるストレスが小さくなり、あるいは、第1の配線層間のリークが低減することなどにより、リーク不良などに起因する初期歩留まりの低下や、リテンション特性の劣化を防止することができ、信頼性の向上を図ることができる。

【0012】

上記第1の配線層が上記強誘電体キャパシタの上部電極及び上記メモリセルトランジスタの第1の不純物拡散層につながるストレージ配線と、上記メモリセルトランジスタの第2の不純物拡散層につながるビット線とを含んでいる場合には

、上記ストレージ配線が平面的に見て上記強誘電体キャパシタの1辺のみと交差している構造であってもよいし、上記ビット線が平面的に見て上記強誘電体キャパシタとオーバーラップしていない構造であってもよい。また、平面的に見たときに、上記ストレージ配線が上記強誘電体キャパシタの1辺のみと交差しているとともに、上記ビット線が上記強誘電体キャパシタとオーバーラップしていない構造であってもよい。

【0013】

上記強誘電体メモリ装置において、上記ストレージ配線の上記上部電極の上方に位置する部分のうち上記上部電極の1つの辺との交差している部分が、他の部分よりも狭い幅を有するように設けることにより、さらにストレスの低減などによる顕著な効果を発揮することができる。

【0014】

上記第1の配線層は、アルミニウム及び銅のうち少なくともいずれか1つを含む配線材料により構成されていることが好ましい。

【0015】

上記強誘電体メモリ装置において、上記第1の配線層の上に設けられた上層の層間絶縁膜と、上記上層の層間絶縁膜の上に設けられた第2の配線層とをさらに設け、上記第2の配線層により、上記強誘電体キャパシタの上部電極の上方をすべて覆っておくことができる。

【0016】

上記強誘電体メモリ装置において、上記第1の配線層の上に設けられた上層の層間絶縁膜と、上記上層の層間絶縁膜の上に設けられた第2の配線層とをさらに設け、上記第2の配線層により、上記強誘電体キャパシタの下部電極の上方をすべて覆っておくことができる。

【0017】

これらにより、第2の配線層の製造工程の前に施されるアニール処理等に起因する強誘電体キャパシタの特性劣化を防ぐ効果や、第2の配線層の形成時における強誘電体キャパシタへのストレスを緩和する効果が得られる。

【0018】

上記第2の配線層も、アルミニウム及び銅のうち少なくともいずれか1つを含む配線材料により構成されていることが好ましい。

【0019】

【発明の実施の形態】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る強誘電体メモリ装置のメモリセルアレイをビット線が形成されている層から下方に向かって見た状態を示す平面図である。図2は、図4のII-II線断面における縦断面図である。

【0020】

図2に示すように、Si基板11上には、LOCOS膜12によって囲まれる活性領域ODが設けられている。この活性領域OD内に、ソース領域、ドレイン領域となる不純物拡散層13と、ポリシリコン膜からなるゲート14とが形成されている。また、Si基板11の上には、第1の層間絶縁膜15が形成されており、この第1の層間絶縁膜15の上でLOCOS膜12の上方に相当する領域には、プラチナやイリジウム系金属からなる下部電極16と、後述するような強誘電体材料からなる強誘電体膜17と、プラチナやイリジウム系金属からなる上部電極18とにより構成されるメモリセルキャパシタが設けられている。また、第1の層間絶縁膜15の上には第2の層間絶縁膜19が形成されていて、この第2の層間絶縁膜19の上に、銅を含むアルミニウムからなるストレージ配線20が形成されている。

【0021】

図1において、上記ゲート14はワード線WL0～WL3としてメモリセルアレイの行方向に延びており、上記下部電極16はセルプレート線としてメモリセルアレイの行方向に延びている。また、メモリセルアレイの列方向に延びるビット線群BL0、/BL0、BL1、/BL1、DBL、/DBLが設けられているが、このうち1つのビット線DBLは図2において破線で示されている。図2に示される上部電極18はDRAMでいうところのデータストレージノードに相当するものであり、図1においては文字TEで示されている。さらに、上記スト

レージ配線20と上部電極18との間はコンタクトCEにより接続されている。また、ストレージ配線20とメモリセルトランジスタの不純物拡散層13との間はコンタクトCW1により、ビット線群BL0、/BL0、BL1、/BL1、DBL、/DBLと不純物拡散層13との間はコンタクトCW2により、それぞれ接続されている。上記ストレージ配線20とビット線群BL0、/BL0、BL1、/BL1、DBL、/DBLとにより第1の配線層が構成されている。

【0022】

以上により、不純物拡散層13を介して供給されるビット線の電圧とセルプレート線の電圧との高低関係の相違に応じて、強誘電体膜17内の分極状態を正負いずれかに保持することで、“1”、“0”のデータを保持することができるように構成されている。

【0023】

ここで、本実施形態の特徴は、上部電極18（TE）とストレージ配線層20とのオーバーラップする態様を従来の構造とは変えた点である。すなわち、従来の強誘電体メモリ装置の構造においては、図5に示すように、ストレージ配線60の先端が上部電極58の対応する辺よりも外方にまで突出している。また、図4の平面図では、ストレージ配線60が上部電極58の2つの辺と交差している。それに対し、本実施形態に係る強誘電体メモリ装置においては、図2に示すように、ストレージ配線20の先端は上部電極18の対応する辺よりも外方には突出していない。そして、図1の平面図では、ストレージ配線20は上部電極18の1辺のみと交差している。さらに、図4に示す構造ではビット線が上部電極の2つの辺の上を覆っている。それに対し、本実施形態では、図1に示すように、ビット線（例えばBL1）と上部電極20とが平面的に見たときにオーバーラップしないように構成している。言い換えると、図4に示す従来の強誘電体メモリ装置の第1の配線層が、強誘電体キャパシタの4つの辺のすべてを覆っていたのに対し、本実施形態に係る強誘電体メモリ装置においては、上部電極の少なくとも1つの辺の上方には第1の配線層が存在していない。

【0024】

なお、上部電極18とストレージ配線20とのコンタクト部CEにおいて、コ

ンタクト部CEとストレージ配線20とのマスクずれなどを考慮した重なりマージンをプロセスのデザインルールの最小寸法としている。

【0025】

このように、ストレージ配線20が上部電極18の上方を覆う領域をなるべく低減した結果、以下のような効果が得られた。すなわち、ビット線とストレージ配線との間におけるリーク不良などに起因する初期歩留まりの低下や、強誘電体キャパシタの特性劣化が改善された。特性の改善とは、具体的には、例えば強誘電体キャパシタの分極値の改善などによるリテンション（データ保持）特性の大幅な改善である。現在のところ、このような効果が得られる理由は、強誘電体キャパシタに対してストレージ配線20が与えるストレスが小さくなること、あるいは、ストレージ配線20の長さが短くなることよりストレージ配線20とビット線（例えばBL1）との間のリークが低減することに起因するものと推定される。さらに、ストレージ配線層20の上に形成される第3の層間絶縁膜（図示せず）を構成する物質が強誘電体キャパシタに与える好影響を助長することにもよる可能性もある。

【0026】

ただし、平面的に見てストレージ配線20が上部電極18（TE）の1つの辺のみと交差しているのであれば、上部電極18とビット線とが平面的にオーバーラップしていてもよい。また、平面的に見て上部電極18とビット線（例えばBL1）とがオーバーラップしていなければ、ストレージ配線20が上部電極18の2つの辺と交差していてもよい。ただし、本実施形態のような構造とすることで、第1の配線層による上部電極18へのストレスが大幅に低減されるので、上述のリテンション特性の改善効果がより大きくなる。

【0027】

また、メモリセルアレイの端部にはダミービット線DBL、／DBLを配置し、メモリセルアレイ端部の強誘電体キャパシタを回路の動作上使用しないようにしている。これは、メモリセルアレイ端部のメモリセルとそれ以外のメモリセルとは、同じ構造を有しているが、メモリセルアレイ端部のメモリセルはメモリセルが存在しない領域に隣接しているために、それ以外のメモリセルとは異なる特

性を示し、本実施形態の構造による特性の改善が得られないおそれがあるからである。

【0028】

さらに、図面には表示されていないが、ストレージ配線20の上方に第3の層間絶縁膜を形成し、さらにその上に第2の配線層を形成するようなプロセスを用いて強誘電体メモリ装置を製造する場合、この第2の配線層により上部電極18または下部電極16を覆う構成とすることができる。これにより、第2の配線層の製造工程の前に施されるアニール処理等に起因する強誘電体キャパシタの特性劣化を防ぐ効果や、第2の配線層の形成時における強誘電体キャパシタへのストレスを緩和する効果がある。

【0029】

特に、第2の配線層を、アルミニウムや銅を含む配線材料により構成した場合には、以下の効果が得られる。第2の配線層は、回路上、例えばポリシリコンで形成されたワード線（例えばWL0, WL1）の抵抗値を低減するための裏打ち配線に使用したり、強誘電体キャパシタの下部電極16でもあるセルプレート線（例えばCP0, CP1）の抵抗値低減のための裏打ち配線と使用することもできる。したがって、抵抗値低減による高速動作が可能となり、万一製造工程によるワード線の断線等が生じたときでも裏打ち用の第2の配線層との接続点が多くとられているため、電氣的不良が生じにくいという効果もある。

【0030】

（第2の実施形態）

図3は、第2の実施形態に係るメモリセルアレイをビット線が形成されている層から下方に向かって見た状態を示す平面図である。

【0031】

本実施形態の強誘電体メモリ装置の特徴は、ストレージノード配線20のうち上部電極18（TE）と平面的にオーバーラップする領域が、上記第1の実施形態よりもさらに小さくなっている点である。すなわち、図3に示すように、ストレージ配線20は中央でくびれた平面形状を有しており、このくびれている部分の幅は、ストレージ配線の製造プロセスのデザインルールの最小値となっている

。この特徴部分以外の部分の構造は、上記第1の実施形態で説明したとおりとなっている。

【0032】

本実施形態に係る強誘電体メモリ装置によれば、ストレージ配線20が上部電極18を覆う領域を、上記第1の実施形態に係る強誘電体メモリ装置よりもさらに低減するようにしたので、上記第1の実施形態の効果をより顕著に発揮することができる。

【0033】

なお、本実施形態においても、上記第1の実施形態において説明したのと同様に、ストレージ配線20の上方に第3の層間絶縁膜を介して第2の配線層を形成するプロセスを用いることが可能である。

【0034】

また、本実施形態においても、平面的に見てストレージ配線20が上部電極18 (TE) の1つの辺のみと交差しているのであれば、上部電極18とビット線とが平面的にオーバーラップしていてもよい。また、平面的に見て上部電極18とビット線 (例えばBL1) とがオーバーラップしていなければ、ストレージ配線20が上部電極18の2つの辺と交差していてもよい。ただし、本実施形態のような構造とすることで、第1の配線層による上部電極18へのストレスが大幅に低減されるので、上述のリテンション特性の改善効果がより大きくなる。

【0035】

上記各実施形態において、上記強誘電体膜を構成する強誘電体材料としては、 KNO_3 、 $\text{PbLa}_2\text{O}_3 - \text{ZrO}_2 - \text{TiO}_2$ 、 $\text{PbTiO}_3 - \text{PbZrO}_3$ などがあり、いずれを用いてもよいものとする。

【0036】

【発明の効果】

本発明の強誘電体メモリ装置によれば、強誘電体キャパシタの上部電極の少なくとも1つの辺の上には、ストレージ配線、ビット線などを含む第1の配線層が存在していない構造としたので、強誘電体キャパシタに対する第1の配線層のストレス、第1の配線層間のリークの低減などにより、強誘電体キャパシタのリテ

ンション等の特性の大幅な改善を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る強誘電体メモリ装置を第 1 の配線層から下方に向かって見た平面図である。

【図 2】

図 1 の II-II 線における断面図である。

【図 3】

本発明の第 2 の実施形態に係る強誘電体メモリ装置を第 1 の配線層から下方に向かって見た平面図である。

【図 4】

従来の強誘電体メモリ装置を第 1 の配線層から下方に向かって見た平面図である。

【図 5】

図 4 の V-V 線における断面図である。

【符号の説明】

- 11 Si 基板
- 12 LOCOS 膜
- 13 不純物拡散層
- 14 ゲート
- 15 第 1 の層間絶縁膜
- 16 下部電極
- 17 強誘電体膜
- 18 上部電極
- 19 第 2 の層間絶縁膜
- 20 ストレージ配線
- OD 活性領域
- WL ワード線
- CP セルプレート線

TE 上部電極

CE コンタクト

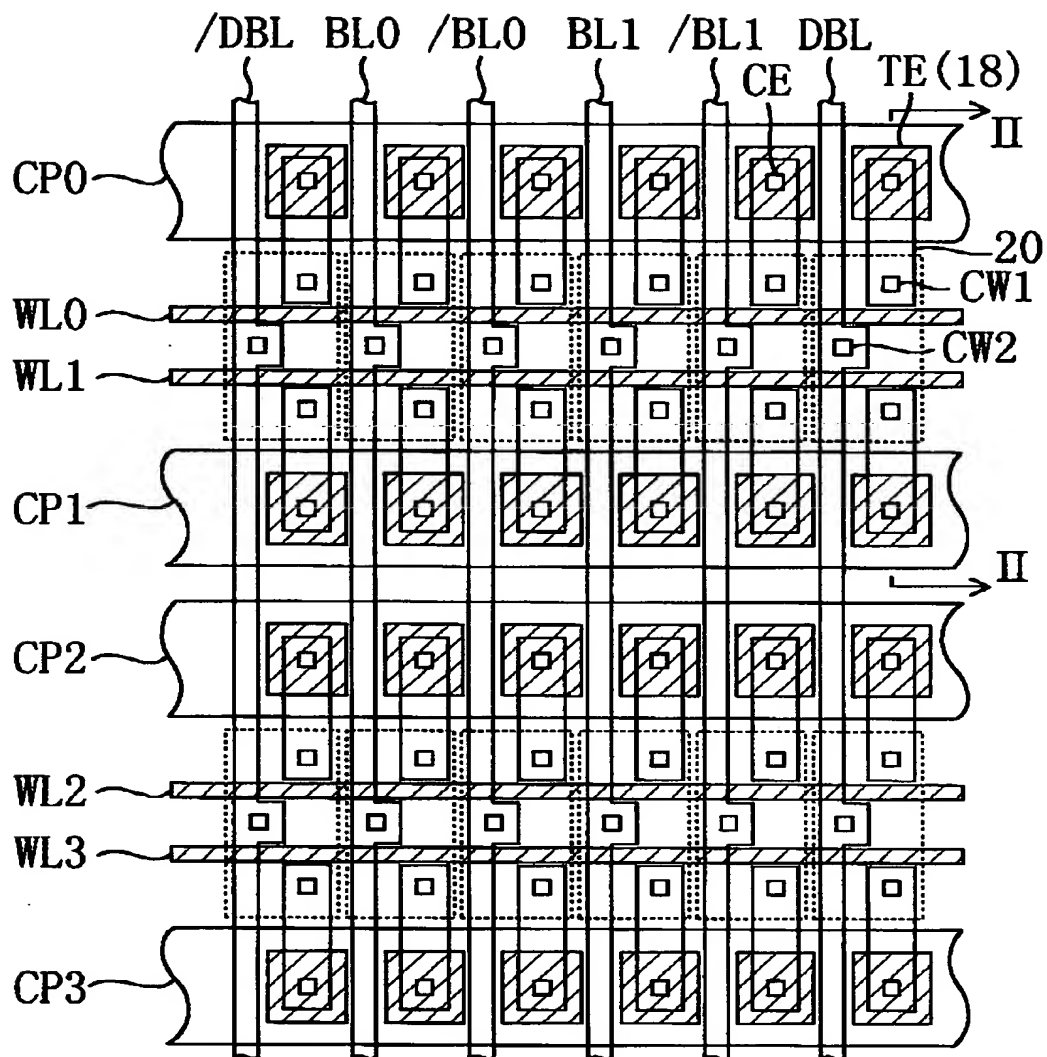
CW コンタクト

BL ビット線

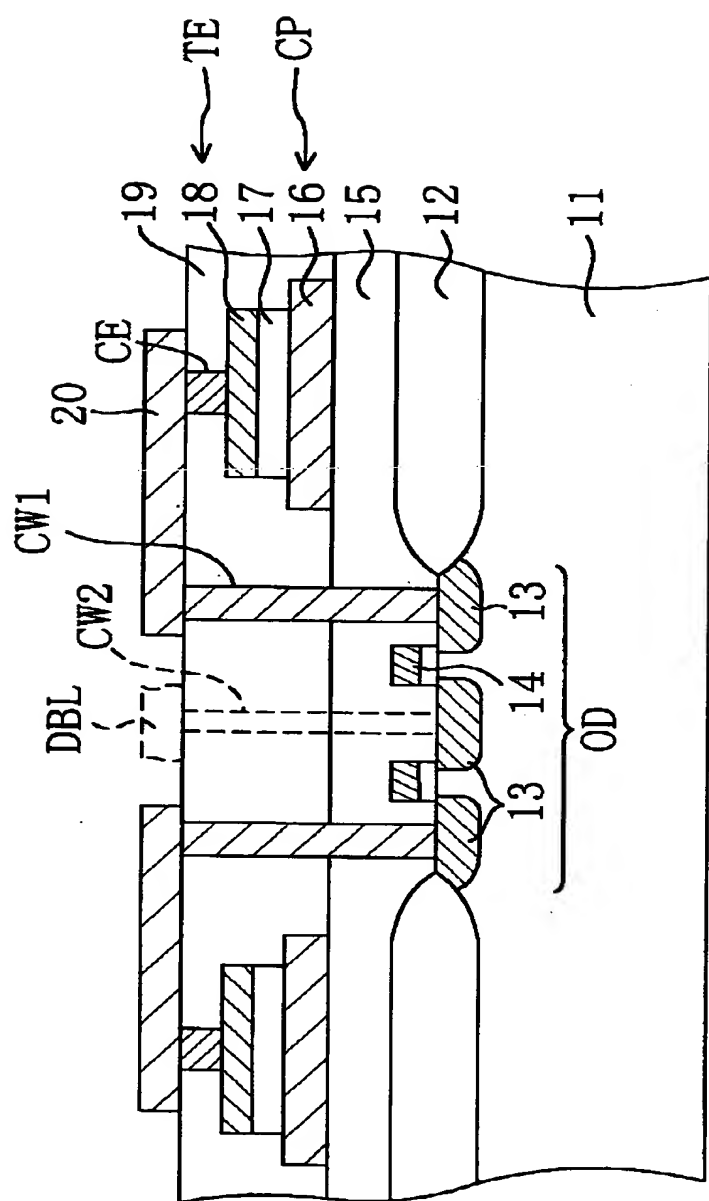
DBL ダミービット線

【書類名】 図面

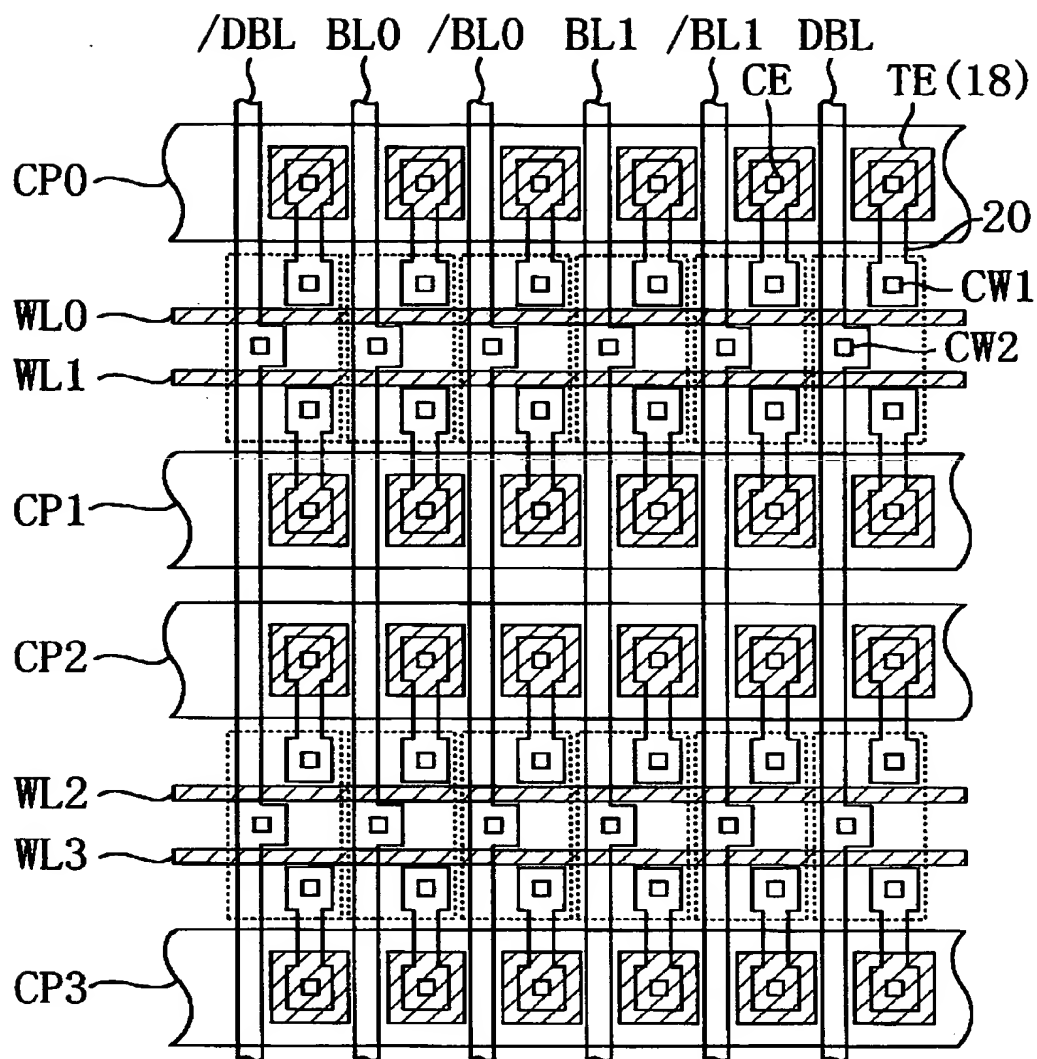
【図 1】



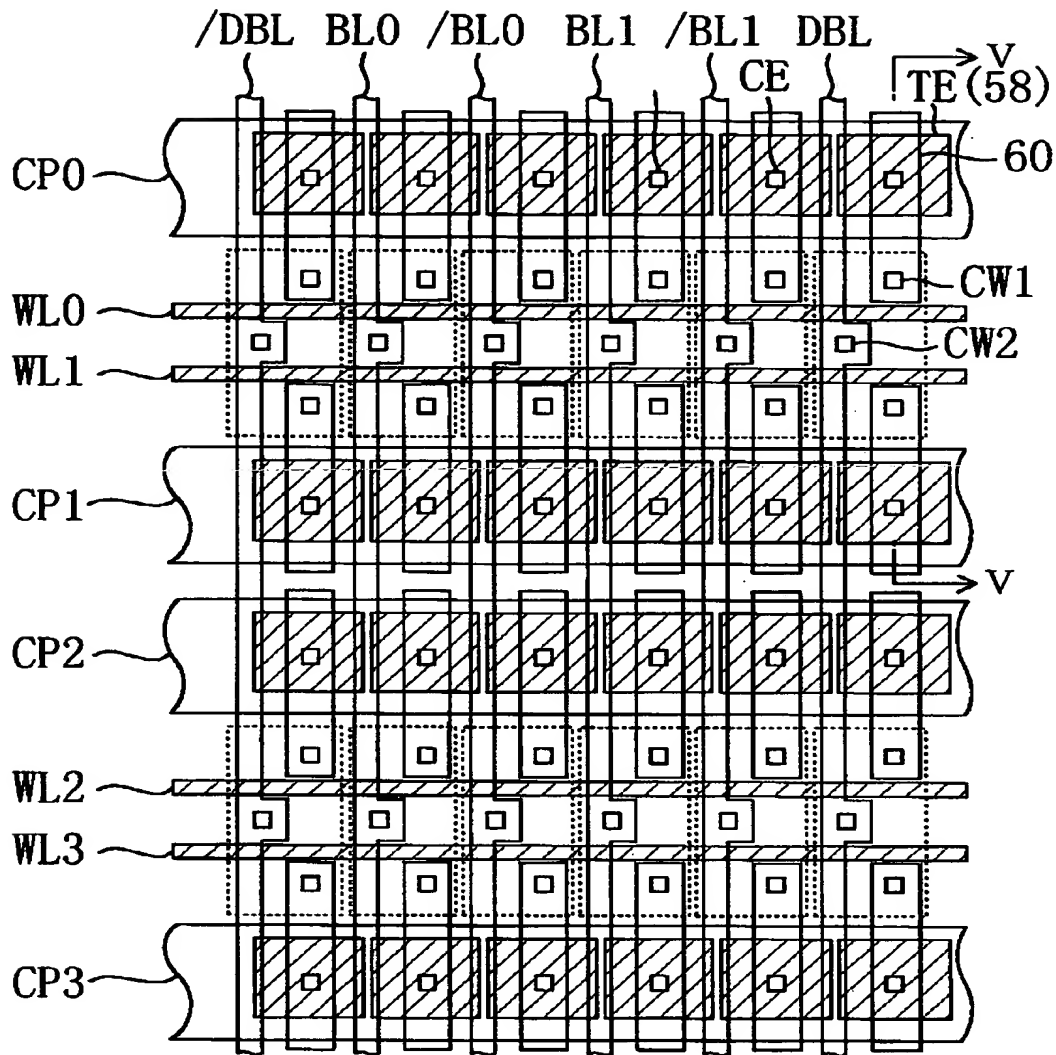
【図 2】



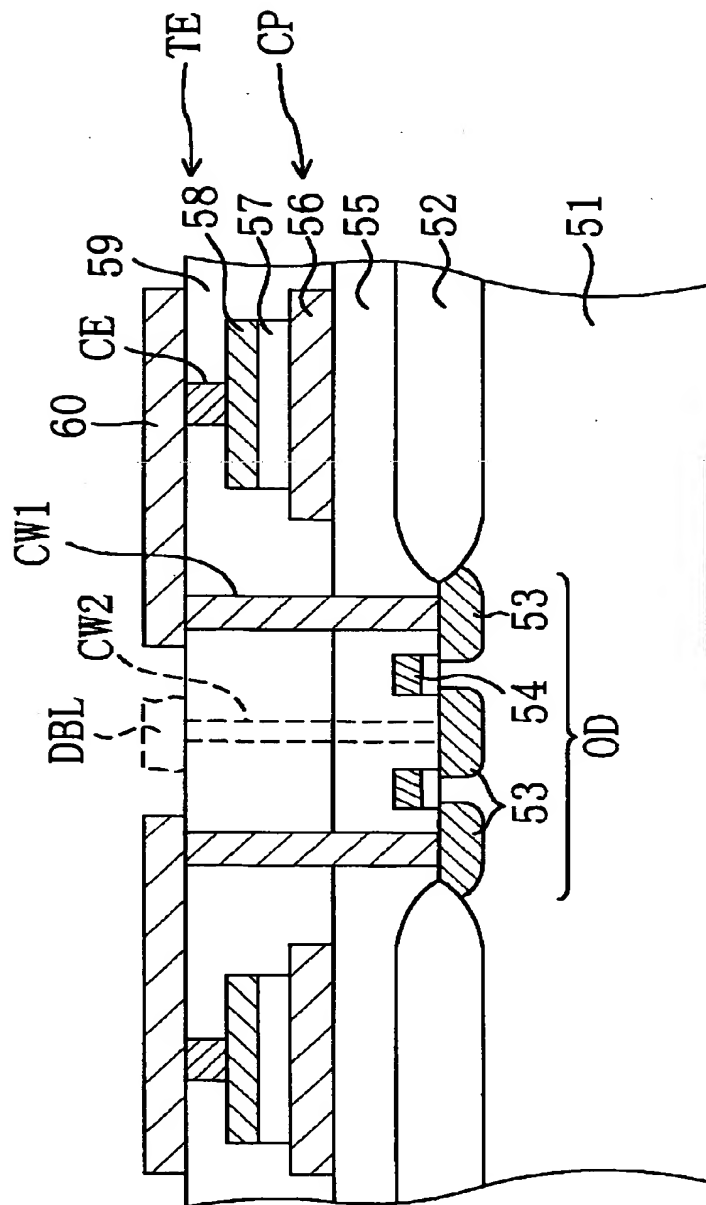
【図3】



【図4】



【図 5】



【書類名】 要約書

【課題】 下部電極と上部電極との間に強誘電体膜を介在させた強誘電体キャパシタをメモリセルに配置した強誘電体メモリ装置の信頼性を向上させる。

【解決手段】 活性領域OD内には、ワード線WLをゲートとするメモリセルトランジスタが設けられ、素子分離領域の上に、下部電極、強誘電体膜及び上部電極TEからなる強誘電体キャパシタが設けられている。上部電極TEとメモリセルトランジスタの一方の不純物拡散層とを接続するストレージ配線20と、他方の不純物拡散層に接続されるビット線BLとにより第1の配線層が構成されている。平面図において、ストレージ配線20は上部電極TEの1つの辺のみと交差しており、ビット線BLは上部電極TEとはオーバーラップしていない。これにより、強誘電体キャパシタに対する第1の配線層のストレスなどに起因する強誘電体キャパシタのリテンション等の特性などを改善することができる。

【選択図】 図3

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005843
【住所又は居所】 大阪府高槻市幸町1番1号
【氏名又は名称】 松下電子工業株式会社

【代理人】 申請人

【識別番号】 100077931
【住所又は居所】 大阪府大阪市西区靱本町1丁目4番8号 太平ビル
前田特許事務所

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134
【住所又は居所】 大阪府大阪市西区靱本町1丁目4番8号 太平ビル
前田特許事務所

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100107445
【住所又は居所】 大阪府大阪市西区靱本町1丁目4番8号 太平ビル
前田特許事務所

【氏名又は名称】 小根田 一郎

出 願 人 履 歴 情 報

識別番号 [000005843]

1. 変更年月日	1993年 9月 1日
[変更理由]	住所変更
住 所	大阪府高槻市幸町1番1号
氏 名	松下電子工業株式会社